

Rec'd PCT/PTO 10 MAR 2005

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 1.6 FEB 2004	
WIPO	PCT

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 53 163.3

**Anmeldetag:** 14. November 2002

**Anmelder/Inhaber:** EPCOS AG, München/DE

**Bezeichnung:** Bauelement mit hermetischer Verkapselung  
und Waferscale Verfahren zur Herstellung

**IPC:** B 81 B, B 81 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Oktober 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Hoß

Bauelement mit hermetischer Verkapselung und Waferscale Verfahren zur Herstellung

Die Erfindung betrifft ein Bauelement mit mikroelektronischen Komponenten einschließlich MEMS und MEOMS - Mikroelektronische / (optische) / mechanische Systeme - mit hermetischer Verkapselung und ein Wafer Level Packaging für dieses Bauelement, bei dem eine optionale Hermetizität im Sinne von Feuchtediffusionsdichtheit erzeugt wird.

10

Seit fast vier Jahrzehnten folgt die Integrationsdichte in der Mikroelektronik "Moore's Law", das eine Verdopplung etwa alle 18 Monate angibt - bei gleichzeitiger Halbierung der Herstellkosten. Klassisch teilt sich die Fertigung mikroelektronischer Produkte in das sog. Frontend (im wesentlichen Aufbringen und Strukturieren dünner Filme auf Wafer) und - nach dem Zersägen in einzelne Chips - das sog. Backend (Montage der Chips auf Träger, elektrische Kontaktierung und Verschluß bzw. Umhüllung).

20

Mit der Flip-Chip-Technik werden die mechanische und elektrische Verbindung des Chips mit dem Träger zu einem Schritt zusammenfaßt. Es wird so eine erhebliche Miniaturisierung und eine bessere Signalübertragung aufgrund niedriger Induktivitäten durch diese Verbindungstechnik ermöglicht.

25

Besonders vorteilhaft ist die Kombination der Flip-Chip-Montage mit einer Nutzentechnik, bei der eine Vielzahl von Chips auf einen gemeinsamen Träger montiert werden. Auf diese Weise werden inzwischen Bauelemente realisiert, deren Grundfläche die eigentliche für aktive Strukturen und Anschlüsse benötigte Chipfläche um nicht mehr als 20% übersteigt, wofür dann die Bezeichnung Chip Sized Package (CSP) geläufig ist.

30

Bei lateralen Chipdimensionen unterhalb von etwa 1mm sind konventionelle Gehäusen ("Wanne" mit Deckel) längst nicht mehr einsetzbar. Aus diesen Gründen haben alle führenden

35

Halbleiterhersteller in den letzten Jahren Packagingkonzepte entwickelt, die nach der Waferstrukturierung auch den Verkap-selungsprozeß möglichst vollständig auf Waferebene, d.h. vor der Individualisierung der Bauelemente vorsehen.

5

Ein echtes Wafer Level Packaging meidet das individuelle Handling von Einzelchips. Damit wird die Realisierung eines echten CSP auch bei sehr kleinen Chipdimensionen ermöglicht. Prinzipiell lassen sich alle Gehäuse-Funktionalitäten auf Wa-

10

ferebene implementieren. Neben dem Schutz vor mechanischen und klimatischen Einflüssen sowie der Bereitstellung von elektrischen Anschlüssen, die mit Industriestandards wie Oberflächenmontage und Reflowlötten kompatibel sind, kann hier beispielsweise auch eine Umverdrahtung erfolgen. Dabei können

15

Chipanschlüsse auf der Gehäuseaußenfläche frei positioniert werden. Ermöglich wird dies mittels einer oder mehrerer Iso-lationsschichten, Durchkontaktierungen und Leitungsstruktu-ren. Auch interne Verbindungen sind auf diese Weise möglich.

20

Die Forderung nach echtem CSP erhält auch durch den Miniaturisierungsdruck und in besonderem Maße im Falle teurer Sub-strate (z.B. LiTaO<sub>3</sub>, GaAs) Nachdruck.

25

Für Halbleiterbauelemente, die aufgrund ihrer Funktionsweise keinen Gehäusehohlraum benötigen, gibt es eine große Zahl entsprechender Konzepte. Einige davon sind bereits so weit etabliert, daß sie von auf Packaging spezialisierten Dienst-leistern angeboten werden. Ein Beispiel dafür ist das unter dem Warenzeichen UltraCSP bekannte Verfahren.

30

Ein grundlegendes technisches Problem aller bisher vorge-schlagenen Lösungswege ist die Langzeit-Zuverlässigkeit der Bauelemente, da die internen und externen Verbindungen durch Temperaturwechselbelastung ermüden. Dem ist insbesondere

35

durch Abstimmung der thermischen Ausdehnungseigenschaften der verwendeten Werkstoffe Rechnung zu tragen.

Die Aufgabenstellung wird weiter erschwert, sobald - beispielsweise bei SAW-(Surface Acoustic Wave)-Komponenten - die Forderungen nach einem Gehäusehohlraum für die Bauelementstrukturen hinzukommt. Oftmals wird zugleich auch Hermetizität im Sinne von Diffusions-Dichtheit dieser Kavität verlangt, da andernfalls die Beständigkeit gegenüber feuchter Wärme unzureichend sein kann mit der Folge von Korrosion, Störungen durch Kondensate auf aktiven Strukturen, Probleme mit dem Feuchtegehalt verwendeter Polymere bei Lötprozessen etc.). Mit polymerbasierten Preßmassen, Harzen oder Klebern ist Hermetizität grundsätzlich nicht erzielbar, da diese Materialien durch Permeationsvorgänge für Gase und Feuchte mehr oder minder durchlässig sind.

In der WO2000/35085A1 wird eine aktive Struktur auf einem Wafer mit einem Rahmen aus z.B. Fotolack umgeben, auf den eine Leiterplatte als Abdeckung geklebt wird. Durchkontaktierungen führen die elektrischen Anschlüsse vom Chip zu Kontakten auf der Leiterplatte. Mit der abdichtenden Schicht, welche die Chiprückseite sowie die Seitenflächen des Bauelements bedeckt, wird keine ausreichende Hermetizität erreicht, da die Leiterplatte nicht vollständig bedeckt ist da die als abdichtende Schicht vorgeschlagenen üblichen Harzlaminate mit Faserverstärkung hinsichtlich ihrer Diffusionsdichte besonders ungünstig sind, da sich Feuchte entlang der Grenzschicht zwischen Polymer und Fasern ausbreiten kann. Entscheidender Nachteil ist aber, daß die beschriebene Dichtungsschicht nicht mehr auf Wafer Level, sondern nur nachträglich am einzelnen Bauteil aufgebracht werden kann.

Aus der WO2001/43181A1 ist ein weiteres Verfahren zur Verpackung bekannt. Hier wird der Wafer zwischen zwei Abdeckungen verklebt. Rahmenförmige Abstandshalter definieren erforderlichenfalls einen Hohlraum über der aktiven Chipstruktur. Mittels Metallstrukturen, die ursprünglich auf dem Wafer erzeugt wurden und solchen, die in eingesägten Kerben entlang der Vereinzelungslinien strukturiert werden (108), laufen die

elektrischen Anschlüsse um den Chip herum zu Kontakten (110) auf der rückseitigen Abdeckung. Bei den Fügematerialien handelt es sich um Polymere, mit denen sich wie ausgeführt keine Diffusionsdichtheit erzielen läßt. Das Konzept läßt eine  
5 vollständige Metallisierung (und damit Abdichtung) nicht zu, da die elektrischen Verbindungen mehrere elektrisch voneinander getrennte Metallstrukturen erfordern.

10 Aufgabe der vorliegenden Erfindung ist es daher, für SAW-Filter und andere Bauelemente mit ähnlichen Rahmenbedingungen ein einfaches und kostengünstiges Verfahren für echtes CSP auf Wafer Level anzugeben, mit dem sich diffusionsdichte Bauelemente herstellen lassen.

15 Diese Aufgabe wird in der vorliegenden Erfindung mit einem Bauelement nach Anspruch 1 gelöst. Ein Verfahren zur Herstellung des Bauelements sowie vorteilhafte Ausgestaltungen der Erfindung sind weiteren Ansprüchen zu entnehmen.

20 Das erfindungsgemäße Bauelement erfüllt alle diese Anforderungen und ist überdies kompatibel zu unterschiedlichen Technologien wie SAW und FBAR (= Thin Film Bulk Acoustic Wave Resonator). Darüber hinaus sind zahlreiche Anwendungen in der sich diversifizierenden Mikrosystemtechnik, der integrierten  
25 Optik und Sensorik möglich.

Die Erfindung gibt ein Bauelement mit hermetischer Verkapselung an, welches einen sandwichartig verklebten Aufbau aufweist. Der Aufbau umfaßt einen Chip, vorzugsweise aus einem  
30 piezoelektrischen Material, auf dessen Oberfläche Bauelementstrukturen und mit diesen verbundene Anschlußmetallisierungen realisiert sind, eine Rahmenstruktur, die die Bauelementstrukturen ringförmig umschließt sowie eine diffusionsdichte Abdeckung, die auf der Rahmenstruktur aufliegend und mit dieser  
35 fest verbunden einen Hohlraum für die Bauelementstrukturen ausbildet. Weiterhin weist das Bauelement eine Rückseitenmetallisierung auf, die auf der Rückseite des Chips aufge-

bracht ist und an den Kanten des Bauelements zumindest die Grenzflächen des sandwichartigen Aufbaus abdeckt. D.h., alle Schichtübergänge des sandwichartigen Aufbaus sind an ihren Stoßkanten (Außenkanten des Bauelements) mit der Rückseitenmetallisierung überdeckt. Die Abdeckung weist auf der Oberfläche Kontakte auf, die mit Hilfe von Durchkontaktierungen durch die Abdeckung mit den Bauelementstrukturen auf dem Chip elektrisch leitend verbunden sind. Die Durchkontaktierungen sind durch Löcher oder Ausnehmungen in der Abdeckung geführt, die an den Innenflächen vollständig mit einer Unterseitenmetallisierung metallisiert und dadurch diffusionsfest abgedichtet sind.

Das erfindungsgemäße Bauelement weist eine verbesserte hermetische Verkapselung auf, da sämtliche potentielle Undichtigkeitsstellen des Bauelements mit einer dichten Metallisierung versehen sind. Die Metallisierung kann auf der Rückseite des Chips ganzflächig aufgebracht sein und ist bis über die Stoßkanten der Grenzflächen herabgezogen. Auch die Durchkontaktierungen, die Zugang zum Inneren der Verkapselung schaffen, sind mit einer Unterseitenmetallisierung sicher abgedichtet. Gleichzeitig ist gewährleistet, daß das Bauelement gegenüber einem nackten Chip (bare die) eine nur unwesentlich größere Grundfläche benötigt und daher insbesondere zur Herstellung weiter miniaturisierter Bauelemente geeignet ist. Der für sich bereits bekannte einen geschlossenen Hohlraum für die Bauelementstrukturen ausbildende Aufbau ermöglicht außerdem eine sichere und berührungsfreie Verkapselung auch empfindlichster Bauelementstrukturen. Solche empfindlichen Bauelementstrukturen sind insbesondere bei mit akustischen Wellen arbeitenden Bauelementen, wie SAW-Bauelemente, FBAR Resonatoren sowie bei zahlreichen Bauelementen der Mikrosystemtechnik, sowie bei integrierten optischen und optoelektronischen Anwendungen oder in der Sensorik bekannt.

35

In einer vorteilhaften Ausgestaltung der Erfindung umschließt die Rahmenstruktur zum einen die Bauelementstrukturen ring-

förmig und bildet darüber hinaus nach innen weisende Ausläufer oder isolierte Inseln aus, die innerhalb des sandwichartigen Aufbaus einen weiteren Hohlraum umschließen, in dem die Anschlußmetallisierungen auf der Oberfläche des Chips frei-  
5 liegen. Auf diese Weise ist es möglich, die Durchkontaktierungen durch die Abdeckung in diese zusätzlichen Hohlräume zu führen, ohne daß dabei der Hohlraum mit den Bauelementstrukturen geöffnet wird. Dies ermöglicht es auch, bei der Herstellung der Unterseitenmetallisierung die Bauelementstruktu-  
10 ren frei von Metallisierung zu halten, ohne daß dazu weitere Anstrengungen zur Abdichtung oder Abdeckung erforderlich sind.

In einer weiteren Ausgestaltung der Erfindung ist innerhalb  
15 des sandwichartigen Aufbaus eine weitere Verdrahtungsebene vorgesehen, die über Durchkontaktierungen sowohl mit den Anschlußmetallisierungen auf dem Chip als auch mit den Kontakten auf der Unterseite der Abdeckung verbunden ist. In einer einfachen Ausgestaltung kann die Verdrahtungsebene auf der  
20 Rahmenstruktur aufgebracht sein. Da bei einem miniaturisierten Bauelement jedoch über der Rahmenstruktur wenig zusätzlicher Platz für die Verdrahtungsebene zur Verfügung steht, kann diese Verdrahtungsebene zwar nicht zum Herstellen komplexer Verschaltungen genutzt werden, wohl aber dazu, Leiterbahnüberkreuzungen ohne Kurzschluß herzustellen.  
25

Vorteilhaft wird in einer weiteren Ausgestaltung der Erfindung ist als Verdrahtungsebene zumindest eine Zwischenschicht zwischen Rahmenstruktur und Abdeckung eingefügt, auf deren  
30 Ober- oder Unterseite für die Verdrahtungsebene ausreichend Fläche zur Verfügung steht. Dann ist es auch möglich, in der Verdrahtungsebene Metallstrukturen zu erzeugen, mit denen sowohl Leiterbahnen als auch konkrete passive Bauelemente realisiert sind, die mit den Bauelementstrukturen verschaltet  
35 sind. Als konkrete Bauelemente kommen insbesondere Kapazitäten, Induktivitäten und ohm'sche Widerstände in Frage.

Die Zwischenschicht ist vorzugsweise aber nicht notwendigerweise aus dem gleichen Material wie die Rahmenstruktur ausgebildet. Dies garantiert eine einfache und sichere Verbindung. Als bevorzugte Materialien für Rahmenstruktur und gegebenenfalls Zwischenschichten ein Benzocyclopentadien, ein Polyimid oder ein Benzoxazol bevorzugt sind. Diese Materialien haben sich als besonders günstig in Bezug auf Temperaturstabilität, Haftung auf keramischen und metallischen Schichten, bzgl. Metallisierbarkeit und Strukturierbarkeit erwiesen. Diese Polymere sind auch in fotosensibilisierten Versionen zugänglich bzw. herstellbar, die durch direkte Belichtung strukturiert werden können. Aber auch Polyurethan (PU), Epoxidharz und Acrylate sind Zwischenschicht und Rahmenstruktur geeignet.

Wichtigste Anforderung an die diffusionsdichte Abdeckung ist deren diffusionsdichte Struktur. Weiterhin ist es vorteilhaft, wenn das Material eine ausreichende Steifigkeit und mechanische Festigkeit aufweist. Bevorzugt als Material für die Abdeckung sind daher Keramik, Metall und insbesondere Glas.

Da die zumindest eine zusätzliche Verdrahtungsebene vorzugsweise auf Rahmenstruktur und/oder auf zusätzlichen (organischen) Zwischenschichten aufgebracht ist, ist die Abdeckung vorzugsweise einteilig bzw. einschichtig. Prinzipiell ist es so auch möglich, eine mehrschichtige Abdeckung zu verwenden, sofern die zusätzlichen Schichten bzw. deren Verbindungen ausreichend diffusionsfest gestaltet werden können. Es ist auch möglich, eine Verdrahtungsebene auf der Oberseite der Abdeckung anzuordnen, was diese im Bauelement allerdings kaum von einer Verdrahtungsebene unterscheidet, die auf der Zwischenschicht angeordnet ist.

In einer vorteilhaften Ausgestaltung ist zur Erzielung bestimmter Durchbruchs-Charakteristiken bei Überspannung der die Bauelementstrukturen umschließende Hohlraum mit einem Gas, z.B. einem Schutzgas gefüllt, welches die Durchbruch-



spannung anheben oder absenken kann. Auch eine Festlegung des Taupunktes ist damit möglich.

5 Für die Herstellung und die erzielbare Dichtigkeit ist es von  
Vorteil, wenn die Durchkontaktierungen einen konischen Querschnitt aufweisen, der sich nach Innen in den Aufbau hinein zusehends verjüngt. Von Vorteil ist es auch, wenn die Außenkanten des Aufbaus abgeschrägt sind, so daß, beginnend von  
10 der Rückseite des Chips über die Rahmenstruktur hin zum Träger, ein zunehmender Querschnitt erhalten wird. Konische Ausbildung der Durchkontaktierungen und abgeschrägte Seitenkanten erleichtern das Herstellen einer dichten Metallisierung und verbessern damit auch die hermetische Abdichtung des Bauelementinneren. Führen die Durchkontaktierungen außer durch  
15 die Abdeckung durch weitere Schichten, so sind die Öffnungen für die Durchkontaktierungen vorzugsweise konzentrisch angeordnet und in allen Schichten konisch ausgebildet.

Dabei kann ein Bauelement eine oder mehrere individuelle  
20 Funktionseinheiten umfassen (Bei SAE Bauelementen beispielsweise "2-in-1"- oder "n-in-1"-Filter), in Mehrschicht- oder Mischtechnologien aufgebaut sein. In einfacher Weise lassen sich solche Bauelemente integrieren, die auf einem gemeinsamen Chip ausgebildet werden können. Möglich ist es auch, daß  
25 das Bauelement hybride Strukturen umfaßt, bei denen beispielsweise mikromechanische, optische und mikroelektronische oder passive elektronische Komponenten zu einem Bauelement bzw. in einem erfindungsgemäßen Bauelement integriert sind.

30 Im folgenden wird die Erfindung und insbesondere das Verfahren zur Herstellung eines erfindungsgemäßen Bauelements anhand von Ausführungsbeispielen und der dazugehörigen Figuren näher erläutert. Die Figuren sind nur schematisch ausgeführt, nicht maßstabsgetreu und geben nicht die richtigen Größenverhältnisse wieder.  
35

Figur 1 zeigt ein erfindungsgemäßes Bauelement im schematischen Querschnitt

5 Figur 2 zeigt eine schematische Draufsicht auf die Chipvorderseite

Figur 3 zeigt einen Querschnitt durch ein weiteres Bauelement mit einer Zwischenschicht

10 Figur 4 zeigt eine weitere schematische Draufsicht auf eine Chipvorderseite

Figur 5 zeigt einen Wafer mit aufgebrachten Rahmenstrukturen in der Draufsicht

15

Figur 6 zeigt einen sandwichartigen Aufbau aus einem Wafer, einer Rahmenstruktur und einer Abdeckung

20 Figur 7 zeigt den Aufbau nach dem Herstellen von keilförmigen Einschnitten in den Chip

Figur 8 zeigt den Aufbau nach der Herstellung der Rückseiten und Unterseitenmetallisierung

25 Figur 9 zeigt anhand eines schematischen Querschnitts mehrere Arten möglicher Durchkontaktierungen.

Figur 1 zeigt ein erfindungsgemäßes Bauelement im schematischen Querschnitt. Das Bauelement weist einen sandwichartigen Aufbau auf, bei dem ein mit Bauelementstrukturen BS auf seiner Vorderseite versehener Chip CH und eine Abdeckung AD miteinander verklebt werden, wobei eine Rahmenstruktur RS als Abstandhalter fungiert. Die Bauelementstrukturen BS sind in einem Hohlraum zwischen Abdeckung AD und Chip CH angeordnet.

30

35 Die Seitenkanten des Bauelements sind chipseitig abgeschrägt und mit einer Rückseitenmetallisierung RM versehen. Diese bedeckt hier die gesamte Rückseite des Chips und reicht bis auf

den ebenfalls abgeschrägten Bereich der Seitenkanten der Abdeckung AD, so daß sämtliche Stoßkanten SK, die die Grenzflächen zwischen Chip, Rahmenstruktur und Abdeckung an der Chip-Seitenkante bilden, von der Rückseitenmetallisierung RM bedeckt sind. Durch die Abdeckung hindurch ist zumindest eine Durchkontaktierung geführt, die an den Innenflächen mit einer Unterseitenmetallisierung UM versehen ist. Diese verbindet eine Anschlußmetallisierung AM auf dem Chip mit einem Unterseitenkontakt UK auf der Unterseite der Abdeckung AD. Die Anschlußmetallisierung AM ist elektrisch leitend mit den Bauelementstrukturen BS verbunden. Sämtliche Oberflächen des Bauelements bestehen somit entweder aus Abdeckung AD, die aus einem diffusionsdichten Material besteht oder sind mit einer ebenfalls gegen Diffusion äußerst dichten Metallisierung abgedeckt. Dies hat zur Folge, daß der Hohlraum, in dem die Bauelementstrukturen angeordnet sind, hermetisch dicht gegen die Außenwelt abgeschlossen ist.

Der Chip umfaßt z.B. aus einem halbleitende Materialien wie Si, SiGe oder einem III/V-Verbindungshalbleiter wie GaAs, InP, InSb etc..

Auch piezoelektrische Materialien wie Quarz ( $\text{SiO}_2$ ), Lithiumniobat ( $\text{LiNbO}_3$ ), Lithiumtantalat ( $\text{LiTaO}_3$ ), Lithiumtetraborat ( $\text{Li}_2\text{B}_4\text{O}_7$ ), Langasit ( $\text{La}_3\text{Ga}_5\text{SiO}_{14}$ ), Berlinit ( $\text{AlPO}_4$ ), Galliumorthophosphat ( $\text{GaPO}_4$ ), Zinkoxid ( $\text{ZnO}$ ), Galliumarsenid ( $\text{GaAs}$ ) etc. bzw. Schichten davon auf Substratscheiben sind als Basismaterialien für den Chip geeignet.

Die Bauelementstrukturen BS können als elektrische Leiter, mikromechanische oder mikrooptische Strukturen oder als Sensor ausgebildet sein.

Figur 2 zeigt in schematischer Draufsicht auf die Vorderseite des Chips CH die Anordnung der Rahmenstruktur RS. Diese ist im Außenbereich der Chipoberfläche ringförmig geschlossen. In der hier dargestellten Ausführung weist die Rahmenstruktur

einen ebenfalls ringförmig geschlossenen Ausläufer AL auf, der einen weiteren kleineren Bereich innerhalb der Rahmenstruktur umschließt. Dies ist der auch in Figur 1 dargestellte Bereich, in dem die Durchkontaktierung vorgesehen wird, so daß dort die Unterseitenmetallisierung UM im Kontakt mit der Anschlußmetallisierung AM treten kann, die wiederum elektrisch leitend mit den Bauelementstrukturen BS verbunden ist.

Figur 3 zeigt eine weitere Ausführung eines erfindungsgemäßen Bauelements, bei dem zusätzlich zur Rahmenstruktur in Figur 1 eine Zwischenschicht zwischen Rahmenstruktur und Abdeckung AD angeordnet ist. In diesem dargestellten Fall ist der Hohlraum für die Bauelementstrukturen zwischen Zwischenschicht ZS und Chip CH aufgespannt. Die Rahmenstruktur RS dient hierbei als Abstandshalter. Zwischen der Zwischenschicht ZS und der Abdeckung AD ist eine weitere Verdrahtungsebene VE vorgesehen, in der elektrische Verbindungen oder konkrete passive Bauelemente angeordnet sein können. Die Verdrahtungsebene VE ist über eine Durchkontaktierung  $DK_1$  mit der Anschlußmetallisierung AM auf der Oberfläche des Chips CH verbunden. Über die Unterseitenmetallisierung UM einer weiteren Durchkontaktierung  $DK_2$  ist die Verdrahtungsebene VE mit dem Unterseitenkontakt UK auf der Unterseite der Abdeckung AD verbunden.

Diese Ausführung hat den Vorteil, daß parallel zur Fläche, die für die Bauelementstrukturen BS vorgesehen ist, eine davon unterschiedliche Ebene zur Verdrahtung bzw. zur Verschaltung genutzt wird. Dies ermöglicht eine weitere Reduzierung der für das Bauelement erforderlichen Grundfläche. Die Durchkontaktierung  $DK_2$  von der Unterseite der Abdeckung AD zur Verdrahtungsebene VE kann einfacher und bezüglich der Justierung unkritischer durchgeführt werden als eine von der Unterseite bis zur Chipvorderseite führende Durchkontaktierung wie z.B. in Figur 1 dargestellt. Dies erleichtert die Herstellung.

Zur rationellen Fertigung erfindungsgemäßer Bauelemente wird auf Waferebene angesetzt. Figur 5 zeigt ausschnittsweise die bereits mit Bauelementstrukturen (in der Figur nicht dargestellt) versehene Oberfläche eines Wafers W, auf die eine Rahmenstruktur RS aufgebracht wird. Die Rahmenstruktur RS ist so strukturiert, daß die Bauelementstrukturen, die für ein einzelnes Bauelement vorgesehen sind, von einer Teilstruktur der Rahmenstruktur ringförmig umgeben sind. Die spätere Aufteilung in Einzelbauelemente erfolgt später entlang von Trennungslinien TL, von denen der Übersichtlichkeit halber in der Figur nur zwei dargestellt sind. Die Trennungslinien verlaufen entlang von Strukturen der Rahmenstruktur, und zwar so, daß beim Aufteilen in Einzelbauelemente ringförmig geschlossene Rahmenstrukturen auf jedem Einzelbauelement verbleiben. Die Rahmenstruktur wird vorzugsweise auf der Vorderseite des Wafers aufgebracht, alternativ jedoch auch auf der Oberseite der Abdeckung. Die Rahmenstruktur kann zunächst ganzflächig aufgebracht und anschließend strukturiert werden. Zur ganzflächigen Schichtaufbringung kann eine entsprechende Folie auflaminiert werden. Möglich ist es auch, ganzflächig eine Schicht aufzuschleudern oder aufzudrucken. Möglich ist es auch, die Rahmenstruktur strukturiert aufzubringen, beispielsweise durch Auflaminieren einer strukturierten Folie, oder durch Aufdrucken. Möglich ist es auch, zunächst eine grob strukturierte Realschicht für die Rahmenstruktur RS aufzubringen und diese anschließend fein zu strukturieren.

Zur Strukturierung ist es möglich, das Material für die Rahmenstruktur RS fotoempfindlich einzustellen, über eine Maske oder scannend zu belichten und anschließend zu entwickeln. Möglich ist es auch, eine vorbelichtete Trockenresistfolie aufzulaminieren und anschließend zu entwickeln. Möglich ist es auch, eine nicht fotostrukturierbare Schicht mit Hilfe einer Resistmaske und anschließendes naßchemisches oder Plasmaätzen zu strukturieren. Eine weitere Möglichkeit besteht darin, eine ganzflächig aufgebrachte oder grob vorstrukturierte Schicht für die Rahmenstruktur mittels Laserablation

fein zu strukturieren. In der Figur 5 nicht dargestellt sind Ausläufer der Rahmenstruktur oder Inseln, die Bereiche der Oberfläche des Wafers wie in Figur 2 beim Einzelbauelement dargestellt ringförmig umschließen, in denen die Kontakte zur Anschlußmetallisierung AM vorgesehen werden.

Figur 4 zeigt eine solche inselförmige zusätzliche Rahmenstruktur  $Rs_i$ , die zusammen mit der Rahmenstruktur RS erzeugt wird. Die Bauelementstrukturen BS sind in der Figur schematisch durch die von den Bauelementstrukturen belegbare Fläche angedeutet. Innerhalb der inselförmigen Rahmenstruktur RS kann eine Durchkontaktierung Kontakt zur Anschlußmetallisierung auf der Oberfläche des Chips bzw. Wafers schaffen.

Nachdem die Rahmenstruktur entweder auf dem Wafer W oder auf der Abdeckung AD strukturiert erzeugt ist, kann der sandwichartige Aufbau durch Verkleben hergestellt werden, beispielsweise indem die Abdeckung AD mit der bereits auf der Chipvorderseite aufgetragenen Rahmenstruktur verklebt wird, oder der Chip bzw. Wafer mit der auf der Abdeckung aufgetragenen Rahmenstruktur RS. Die Höhe der Rahmenstruktur ist so eingestellt, daß sie deutlich höher als die Höhe der Bauelementstrukturen ist. Auf diese Weise ist gewährleistet, daß die Bauelementstrukturen BS beabstandet zur Abdeckung AD in dem von der Rahmenstruktur umschlossenen Hohlraum angeordnet sind.

Figur 6 zeigt die Anordnung nach dem Verkleben ausschnittsweise anhand eines schematischen Querschnitts, der zwei Einzelbauelemente umfaßt.

Wenn, wie bereits anhand von Figur 3 erläutert, eine Zwischenschicht ZS zur Aufnahme einer zusätzlichen Verdichtungsebene VE erzeugt werden soll, läßt sich dies z.B. prinzipiell mit einem PROTEC genannten Verfahren erreichen, wie es etwa in EP0759231B1 beschrieben ist, auf die hiermit vollinhaltlich Bezug genommen wird.

In der DE 100 064 46 A1 wird eine weitere, erfindungsgemäß einsetzbare Lösung vorgeschlagen. Sie umfaßt ein hohlraumüberspannendes Auflaminieren einer sehr dünnen Hilfsfolie auf einer Rahmenstruktur, Auftragen eines flüssig verarbeitbaren Reaktionsharzes und Strukturieren der Hilfsfolie, wobei das Entfernen der z.B. über Kontaktlöchern exponierten Hilfsfolie durch Lösemittel oder Plasma erfolgen kann.

Erfindungsgemäß wird weiterhin vorgeschlagen, auf eine Hilfsfolie ein photostrukturierbares Polymer aufzutragen. Dazu kann die Hilfsfolie in eine Vorrichtung gespannt werden. Geeignete Folien sind in guter mechanischer und optischer Qualität in Dicken bis unter  $1\mu\text{m}$  erhältlich (z.B. Kondensatorfolien). Die zunächst viskose Schicht läßt sich durch Wärmeprozesse in weitem Bereich zwischen gelartig und fest/klebrig einstellen. In diesem Zustand kann die Schicht samt Hilfsfolie auf die Rahmenstruktur laminiert und durch die dann transparente Hilfsfolie hindurch fotostrukturiert werden. Die Hilfsfolie wird dann auf einfache Weise z.B. im anschließenden Entwicklungsprozeß restlos entfernt. Es verbleibt das strukturierte und gehärtete Polymer, das nun die Zwischenschicht bilden kann und damit zusätzliche Fläche zur Herstellung einer Verdrahtungsebene bieten kann.

Alternativ kann die Zwischenschicht auch durch ganzflächiges Aufkleben einer Folie, eines Polymerfilms oder einer dünnen Glasschicht auf die erste Lage und anschließendes Fotostrukturieren realisiert werden.

Unmittelbar auf die Überdachung können Kontaktflächen z.B. in Form von Löt pads oder Bumps aufgebracht werden.

Die zusätzliche Verdrahtungsebene VE kann auch auf der zur Abdeckung weisenden Oberfläche der Rahmenstruktur RS aufgebracht werden. Dazu wird zunächst die Rahmenstruktur auf dem Wafer W erzeugt und strukturiert. Anschließend werden die

Bauelementstrukturen BS mit einer Schutzabdeckung, beispielsweise mit einem Schutzlack abgedeckt. Anschließend wird die Metallisierung für die Verdrahtungsebene erzeugt, beispielsweise durch ganzflächige Metallisierung oder anschließende  
5 Strukturierung derselben. Im nächsten Schritt wird der Schutzlack samt der darüber aufgetragenen Metallisierung entfernt. Eine Durchkontaktierung von der Unterseite der Abdeckung hin zur Verdrahtungsebene auf der Rahmenstruktur braucht dann nicht mehr bis auf die Oberfläche des Wafers geführt  
10 werden. Auch dies spart Fläche und ermöglicht es, die Durchkontaktierung exakter zu justieren.

Auf die so vorbereitete Zwischenschicht oder wie in Figur 6 auf die Rahmenstruktur wird nun die Abdeckung aufgeklebt.  
15 Auch hier kann die Oberfläche wieder zur Haftungsverbesserung zuvor ganzflächig oder lokal aufgeraut werden.

Zum Verkleben kann der Kleberauftrag ganzflächig oder selektiv - in Form der Rahmenstruktur - auf Abdeckung und/oder  
20 Zwischenschicht oder im Fall der mit Rahmenstruktur versehenen Abdeckung auf den Wafer erfolgen. Vorzugsweise ist der Kleber aus gleichem oder ähnlichem Material wie die Rahmenstruktur. Es ist auch möglich, eine noch ausreichend klebrige Rahmenstruktur zum Verkleben zu nutzen, oder diese zu diesem  
25 Zweck zu thermisch zu erweichen, anzulösen oder anderweitig klebrig einzustellen.

Der Klebstoff kann in einer Schichtdicke aufgebracht werden, daß er im ausgehärteten Zustand 0,2 bis 20 µm Schichthöhe erreicht. Die Aufbringung kann auf einer oder auch auf beiden  
30 Fügeflächen erfolgen. Wird dazu die Abdeckung gewählt, so kann der Kleberauftrag strukturiert entsprechend der Rahmenstruktur des Wafers oder auch in einfacher Weise ganzflächig erfolgen.

35 Die Aushärtung des Klebers wird vorzugsweise bei nicht zu hohen Temperaturen erfolgen, da es sonst wegen der erwähnten



kaum vermeidbaren Fehlanpassung der thermischen Ausdehnungskoeffizienten von Wafer und Abdeckung zu Verschiebungen (beim Aufheizen) und Verspannungen (beim Abkühlen) kommt. Bei einer Raumtemperatur von z.B. 25°C sollte die Härtetemperatur daher  
5 also 50°C nicht überschreiten.

Daher eignet sich besonders ein strahlungshärtender Kleber (VIS oder UV) mit offener Voraktivierung (speziell bei nicht transparenter Abdeckung) bzw. Bestrahlung durch die Abdeckung  
10 (wenn diese für die verwendeten Wellenlängen hinreichend durchlässig ist). In jedem Fall ist auch ein kalthärtender Kleber anwendbar, der durch Mischung aus Komponenten aktiviert wird.

15 Falls die genannte Fehlanpassung ausreichend minimiert wird, kann natürlich auch ein warmhärtender Kleber verwendet werden. Dann ist es allerdings vorteilhaft, für die Abdeckung das Material des Wafers zu verwenden.

20 In einem wichtigen Fall ist eine Fehlanpassung aber gerade wünschenswert, wenn nämlich der Temperaturkoeffizient eines spezifizierten Merkmals (beispielsweise die Mittenfrequenz eines SAW-Filters) aufgrund der kristallografischen Wafereigenschaften ungünstig groß ist. Erfindungsgemäß kann dann die  
25 kraftschlüssige Verbindung mit einer Abdeckung von geeignetem thermischen Ausdehnungsverhalten gezielt zu einer Reduktion des Ausdehnungskoeffizienten des Bauelement eingesetzt werden.

30 Figur 7: Im nächsten Schritt werden in der Rückseite des Wafers keilförmige Einschnitte ES entlang der Trennungslinien TL erzeugt. Die Einschnitte ES werden so tief geführt, daß sie bis in die Abdeckung AD hineinreichen. Die Einschnitte teilen Einzelstrukturen der Rahmenstruktur mittig, ohne den  
35 für die Bauelementstrukturen BS geschaffenen Hohlraum zu öffnen.

Die Einschnitte ES können durch Einsägen, Schleifen, Sandstrahlen, Naßätzen, Trockenätzen, Ultraschallerodieren oder mit einem Laser erzeugt werden. Sie werden entweder mit senkrechte Wandungen mit einem Tiefen/Breiten-Verhältnis  $\leq 3$ , als  
5 V-förmig geneigte Wandungen mit einem Öffnungswinkel bis  $150^\circ$  (vorzugsweise  $30^\circ - 90^\circ$ ) oder als U-förmige Einschnitte erzeugt. Um bessere Voraussetzungen für die anschließende Metallisierung zu schaffen, ist ein V-förmiges Sägeprofil dann bevorzugt, wenn das Verhältnis von Tiefe zu Breite der Einschnitte einen Wert von ca. 1 - 2 überschreitet.  
10

Wenn eine elektrische Anbindung der Rückseitenmetallisierung an einen Leiter der Verdrahtungsebene VE erfolgen soll, um beispielsweise die Rückseitenmetallisierung mit Masse zu verbinden und so eine elektromagnetische Abschirmung des Bauelements zu erreichen, muß der Einschnitt zumindest eine Schnittkante mit diesem Leiter aufweisen.  
15

Vor oder nach dem Herstellen der Einschnitte ist es möglich, den Wafer von der Rückseite her zu dünnen. Dabei kann er auf eine Schichtdicke bis ca.  $50 \mu\text{m}$  abgeschliffen oder anderweitig abgetragen werden. Der feste Verbund mit Rahmenstruktur und Abdeckung garantiert dabei trotz der geringen Schichtdicke eine ausreichende mechanische Stabilität, so daß die Bauelemente weder beschädigt noch in ihrer Funktion beeinträchtigt werden.  
20  
25

Im nächsten Schritt wird eine Rückseitenmetallisierung in einer Gesamtdicke von beispielsweise 10 bis  $20 \mu\text{m}$  auf die mit den Einschnitten ES versehene Rückseite des Wafers W aufgebracht. Vorzugsweise werden dazu PVD- oder CVD-Verfahren evtl. in Kombination mit Galvanik eingesetzt. Die Metallisierung kann einen Schichtaufbau umfassen, der Ti, W, V, Cr, Cu, Al, Ag, Sn, Pt, Pd, Au und/oder Ni oder beliebige Schichten oder Legierungen daraus mit einer Gesamtdicke von  $1-30 \mu\text{m}$  enthält. In einem bevorzugten Ausführungsbeispiel wird gesputterte Haftsicht einer Dicke  $\leq 2 \mu\text{m}$  (Ti, W, V, Ni und/oder  
30  
35

Cr), an die sich eine elektrochemische Aufdickung mit z. B. 5-30µm Cu anschließt. Auf der Oberfläche werden abschließend 0,05-5µm Ag, Pd, Ni und/oder Au aufgebracht.

- 5 In einem vorhergehenden oder nachfolgenden Schritt werden die Durchkontaktierungen DK durch die Abdeckung AD erzeugt.

10 Für alle Durchkontaktierungen gilt, daß sie vorzugsweise mit konischem Querschnitt gefertigt sind, wobei der größere Querschnitt der konischen Öffnung nach außen weist, so daß die Herstellung einer dichten und durchgehenden Metallisierung erleichtert ist. Diese Löcher können bei allen beispielhaft aufgezählten Verfahrensvarianten sowohl vor als auch nach dem Verkleben gebohrt werden. Falls dies danach geschieht, kann  
15 man in vorteilhafter Weise ein Ende oder eine Verlangsamung des Vorgangs erreichen, sobald der Durchbruch erfolgt ist, indem man stark unterschiedliche Abtragsraten nutzt, mit reproduzierbaren Anschlägen arbeitet oder das Eindringen in die nächste Schicht sicher detektiert und dann die Bearbeitung  
20 abbricht.

Anwendbar sind beispielsweise die folgenden Verfahren:

25 - Mit einem Excimer-Laser läßt sich die Bearbeitungstiefe sehr genau durch die Zahl und die Energie der Laserpulse steuern. Da verschiedene Materialien unterschiedliche Abtrags-Schwellintensitäten aufweisen, kann durch geeignete Materialauswahl auch ein selbsttätiger Abbruch der Bearbeitung bei Erreichen einer Grenzfläche erzielt werden.  
30

- Beim Naßätzen mit Fotoresistmaske oder mit fotostrukturierbarem Glas z.B. Foturan® als Abdeckung ist die Auswahl eines selektiven Ätzmittels vorteilhaft, das im wesentlichen nur das Glas angreift.  
35

- Beim Trockenätzen mit Fotoresistmaske ist eine Steuerung über die Prozeßzeit möglich. Außerdem kann eine selektiv wirksames Plasmaätzverfahren gewählt werden.
- 5 - Beim Bohren/Schleifen kann mit Tiefenmessung oder -anschlag gearbeitet werden. Auch kann die Detektion an Hand des veränderten Körperschalls bei Erreichen der Grenzschrift erfolgen.
- 10 - Beim Sandstrahlen durch eine Resistmaske werden Sprödstoffe wie Glas viel schneller abgetragen als elastische Polymere. Daher kommt bei diesem Verfahren der Prozeß an der Grenzfläche zum Polymere (Rahmenstruktur oder Zwischenschicht) fast zum Stillstand.
- 15 - Beim Ultraschallerodieren mit Sonotrode und Abrasivstoff-Suspension gilt das gleiche wie beim Sandstrahlen.

Anschließend werden die Löcher für die Durchkontaktierungen an den Innenflächen metallisiert. Dazu wird auf der Unterseite der Abdeckung ganzflächig eine Metallisierung erzeugt, beispielsweise in einem Verfahren analog zur Herstellung der Rückseitenmetallisierung RM. Anschließend wird die Unterseitenmetallisierung strukturiert, so daß für jede Durchkontaktierung ein Unterseitenkontakt UK entsteht, über den das Bauelement später angeschlossen werden kann. Der Einfachheit halber ist für jedes Einzelbauelement nur eine Durchkontaktierung dargestellt.

- 30 Vor oder nach der Strukturierung der Unterseitenmetallisierung können die Durchkontaktierungen mit Bumps gefüllt werden. Für eine besonders rationelle Bumpmethode wird eine Lötmaske (z.B. ein Trockenresistfilm) aufgebracht und strukturiert. Die Löcher in der Maske über den Kontaktbohrungen definieren die Fläche der späteren Under Bump Metallisierung
- 35 (UBM). Sie werden per Sieb-/Schablonendruck oder galvanisch mit Lotpaste gefüllt, oder es werden vorgefertigte Lotkugeln

eingebraucht. Nach dem Umschmelzen wird die Lötmaske entfernt und das freiliegende Kupfer weggeätzt, wobei der Lotbump als Ätztresist für die UBM dient.

- 5 In einer erfindungsgemäßen Ausführungsform wird der Bump gebildet, indem eine Voll- oder Hohlkugel (Durchmesser 30 bis 300µm) in die metallisierte Bohrung für die Durchkontaktierung teilweise eingepreßt wird. Mögliche Werkstoffe für die Voll- oder Hohlkugel sind Glas, Keramik, Metall oder Polymere, letztere sind aufgrund ihrer Flexibilität bevorzugt. Bei nichtleitenden Materialien kann Kugeloberfläche metallisiert werden. Zur Verbesserung der mechanischen und elektrischen Anbindung erfolgt anschließend ein lötbare galvanischer Metallüberzug, der den freiliegende Metallisierung in der Bohrung der Durchkontaktierungen und die freiliegende Kugelkalotte gasdicht verbindet.

- Für andere Bumpverfahren, die bereits in großer Zahl vorgeschlagen wurden, erfolgt eine direkte fototechnische Strukturierung der Unterseitenmetallisierung, die insbesondere Kupfer umfaßt. Nun können beispielsweise wiederum Lotkugeln in die Löcher eingebracht und angeschmolzen werden.

- Figur 9 zeigt anhand eines schematischen Querschnitts durch einen sandwichartigen Aufbau die Möglichkeit, unterschiedliche Durchkontaktierungen vorzusehen. Die in der Figur links dargestellte Durchkontaktierung DK1 verbindet einen Unterseitenkontakt UK1 mit der Oberfläche des Wafers W. Zwischen Rahmenstruktur RS und Abdeckung AD ist eine Zwischenschicht ZS angeordnet, so daß ein Hohlraum zwischen Wafer und Zwischenschicht ZS aufgespannt ist, indem die Bauelementstrukturen (in der Figur nicht dargestellt) berührungsfrei ohne Kontakt mit der Zwischenschicht angeordnet sind. Auf der Oberfläche der Zwischenschicht (zwischen Abdeckung und Zwischenschicht) ist eine weitere Verdrahtungsebene VE angeordnet, die über eine Durchkontaktierung DK2 mit der Oberfläche des Wafers bzw. einer dort vorhandenen Anschlußmetallisierung verbunden

ist. Eine weitere Durchkontaktierung DK3 verbindet den Unterseitenkontakt UK3 mit der Verdrahtungsebene VE. Wie bereits aus der Figur ersichtlich, ist mit der zusätzlichen Verdrahtungsebene zusätzliche Fläche beim Bauelement eingespannt.

- 5 Außerdem nennt insbesondere Durchkontaktierung DK2 feiner positioniert und relativ zu den Bauelementstrukturen bzw. deren Anschlußmetallisierungen justiert werden. Für die Durchkontaktierungen DK3 gilt, daß deren Positionierung nun mit größerer Toleranz erfolgen kann, wobei die Durchkontaktierung
- 10 DK3 auch mit größerer Öffnung ausgeführt werden kann, ohne daß dies die für das Bauelement benötigte Fläche erhöht.

- Eine weitere Möglichkeit zur Herstellung der zusätzlichen Verdrahtungsebene besteht darin, diese auf der Oberseite der
- 15 Abdeckung anzuordnen, insbesondere gegenüber den Bauelementstrukturen innerhalb des Hohlraums. In diesem Fall muß dennoch eine Durchkontaktierung erfolgen, um einen Kontakt zwischen der Anschlußmetallisierung auf der Oberfläche des Wafers und der Verdrahtungsebene auf der Oberseite der Abdek-
- 20 kung herzustellen. Für die Herstellung der Durchkontaktierung kann das eben beschriebene Verfahren mit Hilfe eines Schutzlacks über den Bauelementstrukturen eingesetzt werden.

- Da die Erfindung nur anhand weniger Ausführungsbeispiele wieder gegeben werden konnte, ist sie nicht auf die genaue Ausgestaltung gemäß diesen Ausführungen und der dazugehörigen Figuren beschränkt. Variationen sind insbesondere bezüglich der räumlichen Ausgestaltung der Bauelemente, der Anzahl der Zwischenschichten und Durchkontaktierungen sowie der Lage der
- 30 Durchkontaktierungen möglich. Die Rückseitenmetallisierung kann teilweise von der Rückseite des Wafers/Chips entfernt sein. Ein Hohlraum für die Bauelementstrukturen ist nicht unbedingt erforderlich. Bei entsprechend unempfindlichen Bauelementstrukturen ist auch ein direktes Aufliegen der Abdek-
- 35 kung oder der Zwischenschicht auf der Vorderseite des Chips/Wafers möglich. Dies gilt insbesondere für rein mikroelektronische Bauelemente.

## Patentansprüche

## 1. Bauelement mit hermetischer Verkapselung

- mit einem sandwichartig verklebten Aufbau, dessen Außen-
- 5 kanten fluchtend sind, umfassend
  - einen Chip(Ch), auf dessen Oberfläche Bauelement-
  - strukturen (BS) und mit diesen verbundene Anschlußme-
  - tallisierungen (AM) realisiert sind,
  - einer Rahmenstruktur (RS), die die Bauelementstruktu-
  - 10 ren
  - umschließt und die innerhalb des sandwichartigen Auf-
  - baus einen geschlossenen Hohlraum ausbildet, und
  - eine diffusionsdichten Abdeckung (AD),
  - mit einer Rückseitenmetallisierung (RM), die über die
  - 15 Rückseite des Chips bis über alle Grenzflächen des sand-
  - wichartigen Aufbaus reicht,
  - mit Unterseitenkontakten (UK) auf der vom Chip wegweisen-
  - den Unterseite der Abdeckung (AD),
  - mit Durckkontaktierungen (DK) durch die Abdeckung, die
  - 20 die Bauelementstrukturen (BS) auf dem Chip elektrisch
  - leitend mit den Unterseitenkontakten verbindet,
  - wobei die Innenflächen der Durckkontaktierungen mit einer
  - Unterseitenmetallsierung (UM) metallisiert und dadurch
  - diffusionsdicht abgedichtet sind.

## 2. Bauelement nach Anspruch 1,

bei dem die Rahmenstruktur (RS) einen nach innen weisenden Ausläufer (AL) oder eine isolierte Insel ( $Rs_i$ ) ausbildet, die innerhalb des sandwichartigen Aufbaus einen weiteren Hohlraum

30 umschließen, in dem die Anschlußmetallisierungen (AM) auf der Oberfläche des Chips (CH) frei liegen.

## 3. Bauelement nach Anspruch 1 oder 2,

bei dem innerhalb des sandwichartigen Aufbaus eine weitere

35 Verdrahtungsebene (VE) vorgesehen ist, die über Durchkontak-

tierungen (DK) sowohl mit den Anschlußmetallisierungen (AM) als auch mit den Unterseitenkontakten (UK) verbunden ist.

4. Bauelement nach einem der Ansprüche 1 bis 3,  
bei dem zwischen Abdeckung (AD) und Rahmenstruktur (RS) zu-  
mindest eine weitere Zwischenschicht und zumindest eine Ver-  
drahtungsebene (VE) vorgesehen ist.
5. Bauelement nach einem der Ansprüche 3 oder 4,  
bei dem in den Verdrahtungsebenen (VE) Metallstrukturen vor-  
gesehen sind, die Leiterbahnen und konkrete passive Bauele-  
mente realisieren, ausgewählt aus Kapazitäten, Induktivitäten  
und ohm'schen Widerständen.
6. Bauelement nach einem der Ansprüche 1 bis 5,  
bei dem das Material der Abdeckung (AD) ausgewählt ist aus  
Keramik, Metall und Glas, und bei dem das Material der Rah-  
menstruktur ausgewählt ist aus Benzocyclobuten, Polyimid und  
Benzoxazol.
7. Bauelement nach einem der Ansprüche 1 bis 6,  
bei dem durch die Bauelementstrukturen (BS) auf dem Chip (Ch)  
ein mikroelektronisches Bauelement, ein Oberflächenwellen-  
bauelement, ein FBAR Resonator, ein mikrooptisches Bauele-  
ment, ein mikromechanisches Bauelement oder ein Hybridbauele-  
ment aus den genannten Typen realisiert ist.
8. Bauelement nach einem der Ansprüche 1 bis 7,  
bei dem der die Bauelementstrukturen (BS) umschließende Hohl-  
raum mit einem Schutzgas mit höherer oder niedriger Über-  
schlagsfestigkeit als Luft gefüllt ist.
9. Bauelement nach einem der Ansprüche 1 bis 8,  
bei dem alle Durchkontaktierungen (DK) konisch ausgebildet  
sind.
- Verfahren zur Herstellung eines hermetisch verkapselten  
Bauelements nach einem der vorangehenden Ansprüche, folgende  
Verfahrensschritte umfassend



- auf der Vorderseite eines Wafers (W) werden Bauelementstrukturen (BS) für eine Vielzahl von Einzel-Bauelementen erzeugt
  - auf dem Wafer wird eine Rahmenstruktur (RS) aufgebracht,  
5 die jeweils die einem Einzel-Bauelement zugeordneten Bauelementstrukturen (BS) ringförmig umschließt
  - die Rahmenstruktur wird mit einer diffusionsdichten Abdeckung (AD) verklebt, so daß die einem Einzel-Bauelement zugeordneten Bauelementstrukturen jeweils in einem dichten  
10 Hohlraum angeordnet sind
  - in der Abdeckung werden Durchkontaktierungen (DK) vorgesehen, die die Bauelementstrukturen auf dem Wafer elektrisch leitend mit Kontakten (UK) auf der dem Wafer abgewandten Unterseite der Abdeckung verbinden,
  - 15 - die Durchkontaktierungen werden von der Unterseite der Abdeckung her mit einer diffusionsdichten Unterseitenmetallisierung (UM) abgedichtet
  - von der Rückseite des Wafers her wird ein Grabenmuster aus Einschnitten (ES) erzeugt, welches den äußeren Randbereich jeder Rahmenstruktur durchschneidet und bis in die  
20 Abdeckung reicht
  - die gesamte Rückseite des Wafers einschließlich der in den Einschnitten (ES) freigelegten Oberflächen wird mit einer Rückseitenmetallisierung versehen
  - 25 - es wird eine Vereinzelung der Einzel-Bauelemente entlang des Einschnittes durchgeführt.
11. Verfahren nach Anspruch 10,  
bei dem zusammen mit der oder zusätzlich zur Rahmenstruktur  
30 (RS) eine Zwischenschicht (ZS) erzeugt wird,  
bei dem auf der Zwischenschicht eine weitere Verdrahtungsebene (VE) erzeugt und über Durchkontaktierungen (DK) mit den Anschlußmetallisierungen (AM) auf dem Wafer (W) verbunden wird.
- 35
12. Verfahren nach Anspruch 10 oder 11,

bei dem als Zwischenschicht (ZS) eine Abdeckfolie über die Rahmenstruktur (RS) geklebt wird, die die Bauelementstrukturen (BS) in Hohlräume einschließt.

513. Verfahren nach einem der Ansprüche 10 bis 12, bei dem die Abdeckfolie zunächst auf eine Hilfsfolie aufgebracht, mit dieser zusammen auf die Rahmenstruktur (RS) laminiert und strukturiert wird und bei dem anschließend die Hilfsfolie entfernt wird.

10

14. Verfahren nach Anspruch 13, bei dem die Abdeckfolie als Reaktionsharz in viskoser Form auf die Hilfsfolie aufgebracht wird und nach dem Laminieren ausgehärtet wird.

15

15. Verfahren nach einem der Ansprüche 10 bis 14, bei dem die Rahmenstruktur (RS) sowie falls vorhanden die Zwischenschicht (ZS) und/oder die Abdeckfolie nach dem Aufbringen strukturiert werden.

20

16. Verfahren nach Anspruch 15, bei dem das Verfahren zur Strukturierung von Rahmenstruktur (RS) und/oder Zwischenschicht (ZS) und/oder Abdeckfolie ausgewählt ist aus Photostrukturierung, strukturierendes Ätzen mit Hilfe einer Resistmaske oder Laserablation.

25

17. Verfahren nach einem der Ansprüche 10 bis 16, bei dem zur Herstellung der Unterseitenmetallisierung (UM) und/oder der Rückseitenmetallisierung (RM) und/oder der Verdrahtungsebene (VE) zunächst eine Grundmetallisierung aufgesputtert und anschließend naßchemisch oder galvanisch verstärkt wird.

30

18. Verfahren nach Anspruch 17, bei dem die Metallisierung für die Rückseitenmetallisierung (RM) und/oder die Unterseitenmetallisierung (UM) und/oder die

35

Verdrahtungsebene (VE) ganzflächig aufgebracht und anschließend strukturiert wird.

19. Verfahren nach Anspruch 18,

- 5 bei dem vor dem Aufbringen der ganzflächigen Metallisierung für die Verdrahtungsebene (VE) die freileigenden Bauelementstrukturen (BS) mit einem Schutzlack abgedeckt werden, und bei dem anschließend der Schutzlack zusammen mit der darüber aufgetragenen Metallisierung entfernt wird.

10

20. Verfahren nach einem der vorangehenden Ansprüche,

- bei dem auf der Vorderseite des Wafers (W) und/oder auf der Oberseite der Abdeckung (AD) zumindest im Bereich der Rahmenstruktur (RS) die Oberfläche aufgeraut wird.

15

## Zusammenfassung

Bauelement mit hermetischer Verkapselung und Waferscale Verfahren zur Herstellung

5

Es wird ein Bauelement mit sandwichartigem Aufbau beschrieben, bei dem der Bauelementstrukturen tragende Chip mit einer Rahmenstruktur und einer diffusionsdichten Abdeckung so verklebt wird, daß die Bauelementstrukturen im Inneren des Aufbaus und vorzugsweise in einem Hohlraum angeordnet sind. Die

10

Schichtübergänge des Aufbaus sind an den Seitenkanten mit einer Metallisierung geschützt. Durchkontaktierungen durch die Abdeckung verbinden Kontakte auf der Unterseiten der Abdeckung mit den Anschlußmetallisierungen der Bauelementstrukturen auf dem Chip. Die Durchkontaktierungen sind mit einer Unterseitenmetallisierung abgedichtet.

15

Figur 1

Fig 1

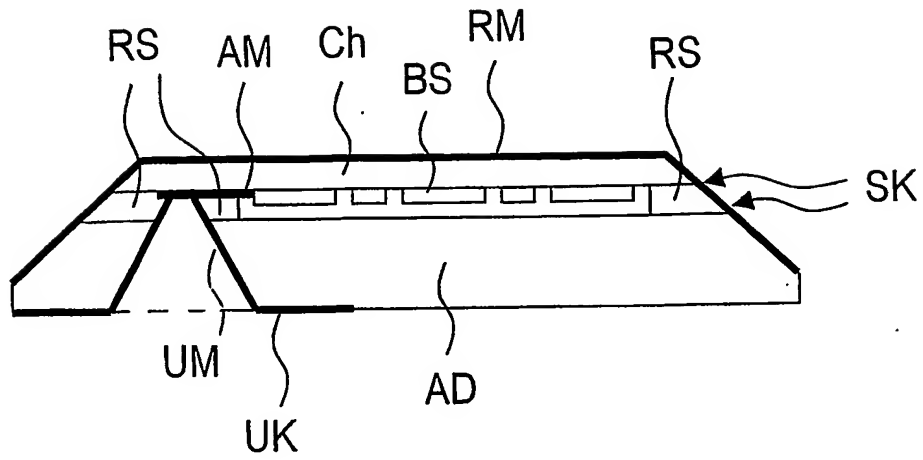
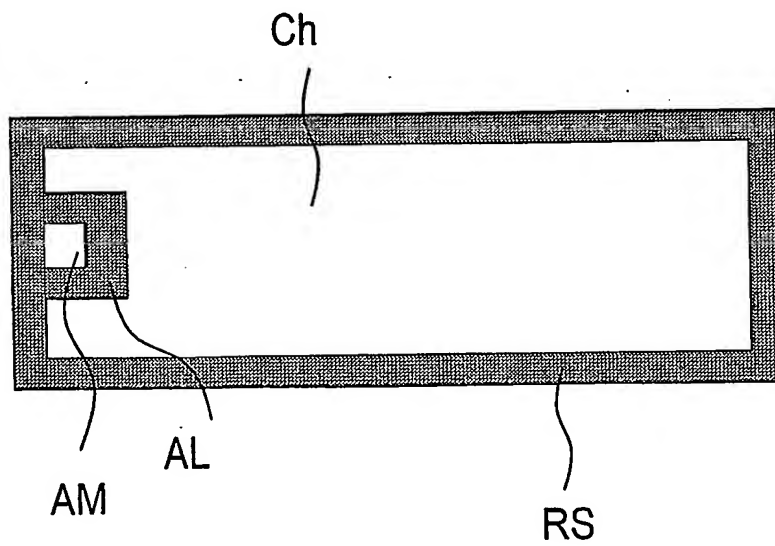


Fig 2



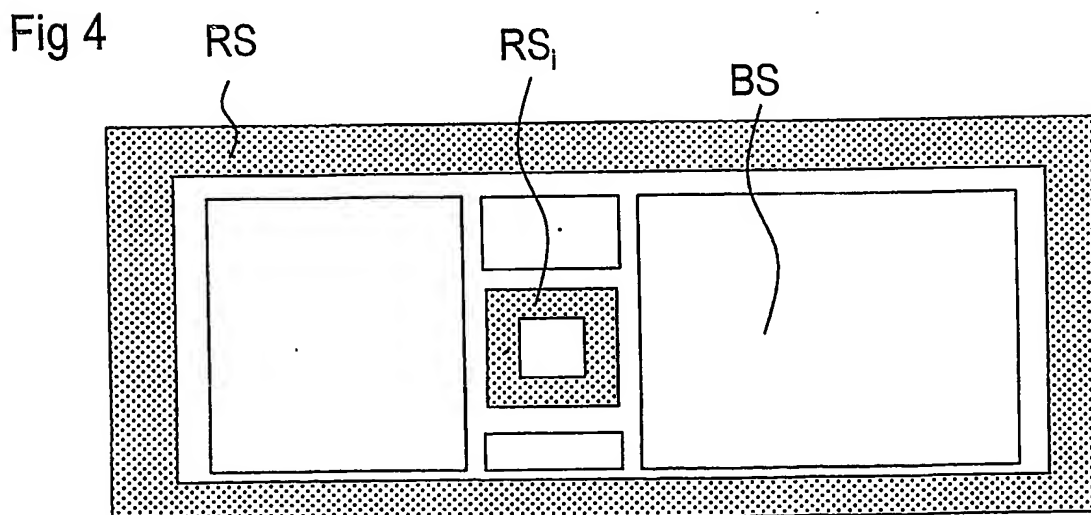
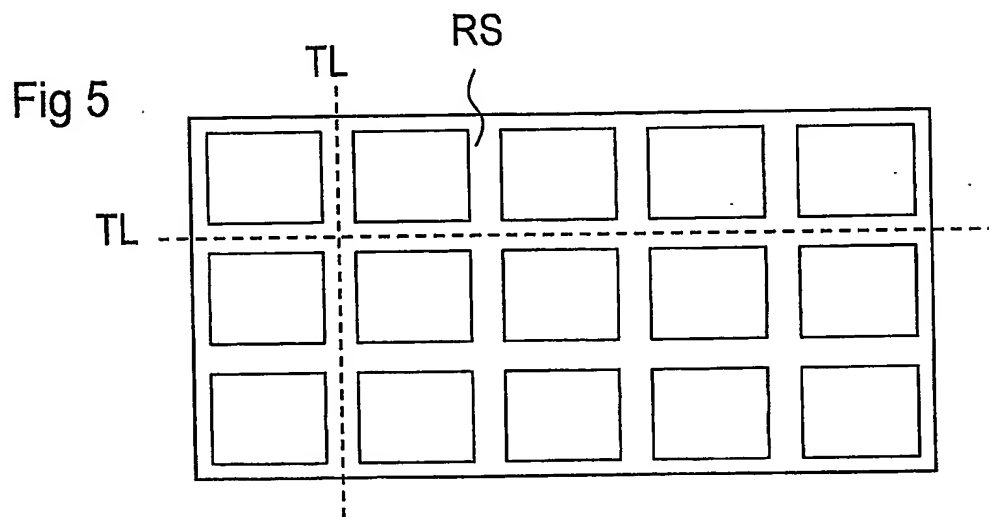
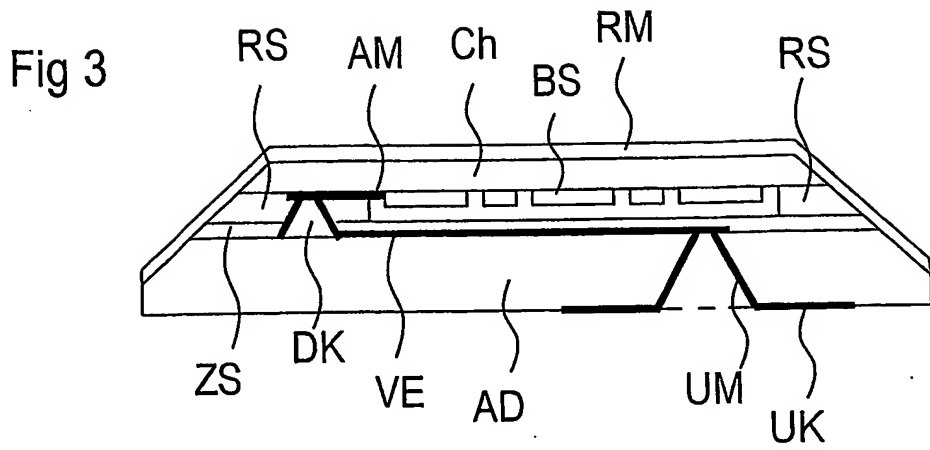


Fig 6

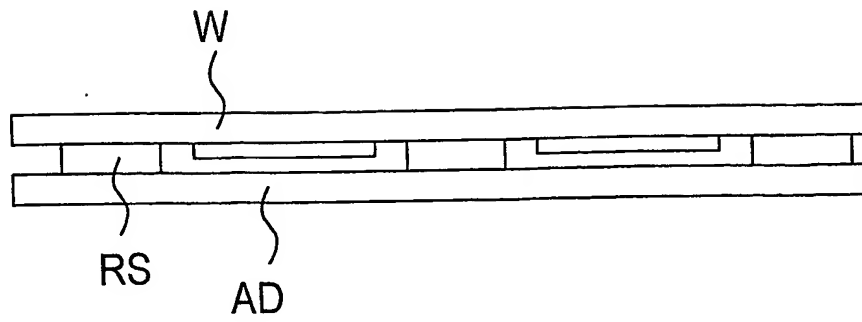


Fig 7

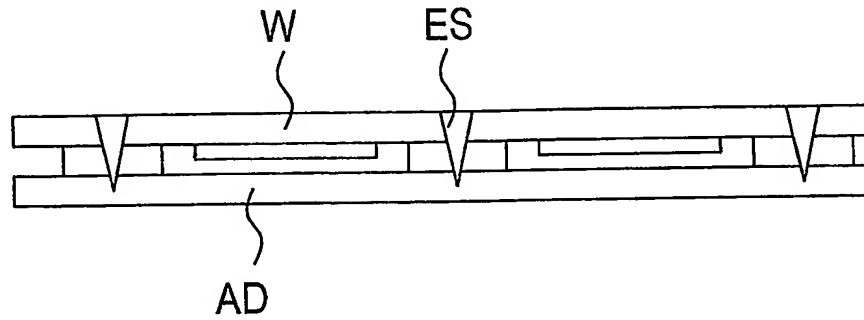


Fig 8

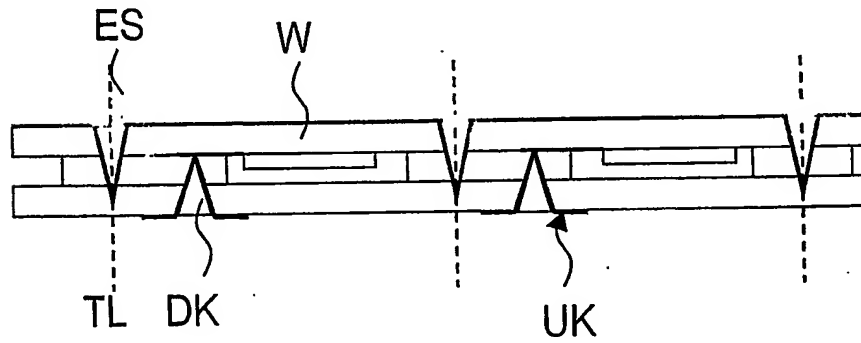
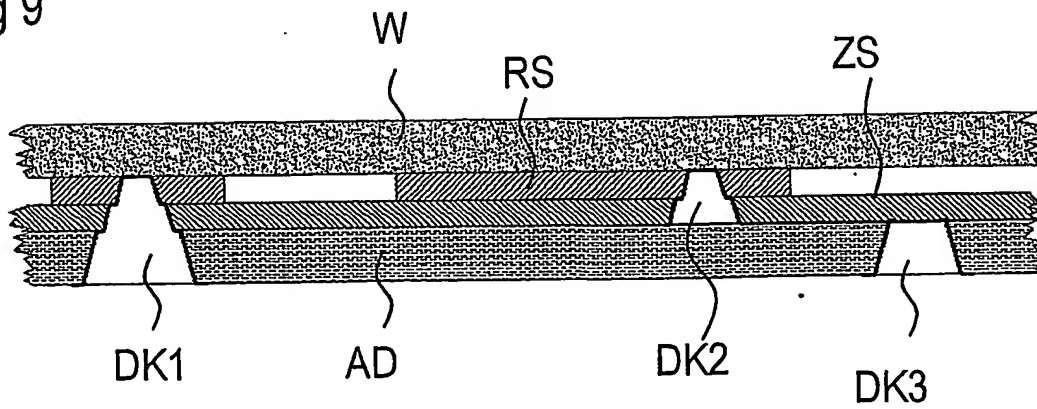
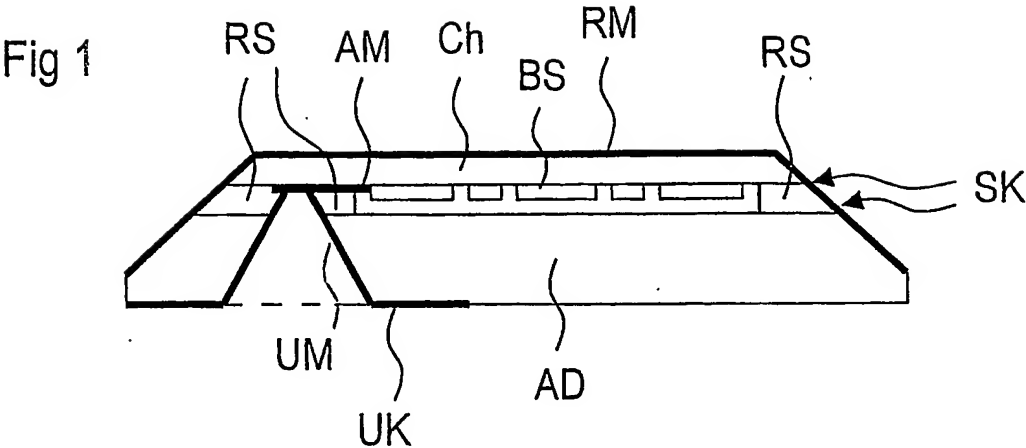


Fig 9







**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**